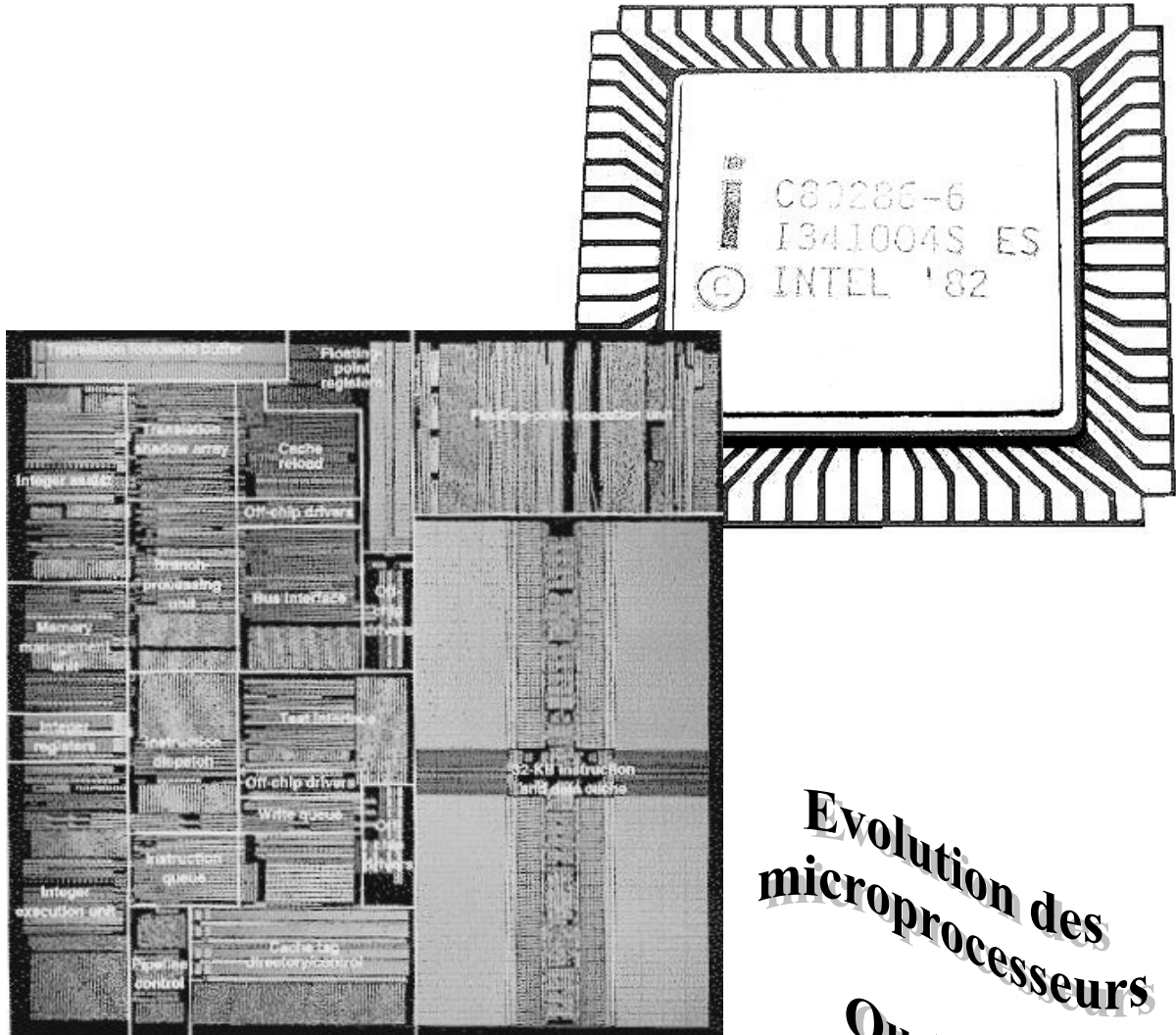


LES MICROPROCESSEURS



**Evolution des
microprocesseurs**

**Quelques
microprocesseurs actuels**

TABLE DES MATIERES

INTRODUCTION.....	4
1 Définition d'un microprocesseur	4
2 Historique.....	4
LES ANCÊTRES.....	5
1 Les 4 bits	5
Le 4004	5
2 Les 8 bits	5
Un exemple : le 6800 de Motorola.....	6
L'ÉVOLUTION DES MICROPROCESSEURS.....	7
1 Les limites des premiers microprocesseurs	7
2 L'évolution de l'architecture	7
2.1 Taille des données	7
2.2 Mémoire virtuelle et pagination	7
2.3 Niveaux de privilège	8
2.4 Les antémémoires	8
2.5 Les réels	9
2.6 Le parallélisme d'exécution des instructions	10
2.7 Le parallélisme d'exécution des processus	12
2.8 Le multimédia	13
2.9 Les multiprocesseurs.....	13
3 Les architectures CISC et RISC	14
3.1 RISC.....	15
3.2 Hybrides	16
4 Les architectures VLIW	16
4.1 Principes.....	16
4.2 Instructions.....	16
4.3 Branchements.....	17
4.4 Erreurs de mémoire	17
QUELQUES MICROPROCESSEURS ACTUELS ET A VENIR	18
1 Les processeurs Alpha de Compaq (DEC).....	18
1.1 Le 21264 (EV6)	18
1.2 Le 21364 (EV7)	18
1.3 Le 21464 (EV8 ou Arana).....	18
2 Les processeurs UltraSparc de SUN	19
2.1 L'ULtraSPARCII.....	19
2.2 L'ULtraSPARC III (Cheetah)	19
2.3 L'ULtraSPARC IV (Jaguar)	19
2.4 Ultra Sparc T1	19
3 Les processeurs d'INTEL	20
3.1 Le Pentium II	21
3.2 Le Pentium III (Katmai, Coppermine, Tanner)	21
3.3 Le Pentium IV (Willamette).....	21
3.4 Les versions à double processeur	21
3.5 Les versions à quadruple processeur	22
3.6 L'Itanium1 (Merced)	22
3.7 L'Itanium2 (McKinley)	22
3.8 Les Madison 6M et 9M	23
3.9 Hondo.....	23
3.10 Le Montecito	23
3.10 Tukwila – prévu 2008	23
4 Les processeurs PA RISC de Hewlet Packard	23
4.1 Le PA-8000	23
4.2 Le PA-8200	24
4.3 Le PA-8500	24
4.4 Le PA-8600	24
4.5 Le PA-8700	24
4.6 Le PA-8800	24

4.7 Le PA-8900	24
5 Les processeurs Power d'IBM.....	24
5.1 Le POWER 3	24
5.2 Le POWER 4	25
5.3 Le POWER 5	25
5.4 Le POWER 6 – prévu 2007	25
5.5 Le POWER 7 – prévu 2010	25
PERFORMANCES	26
ANNEXES.....	28
1 Jeu d'instructions d'un processeur RISC.....	28
1.1 Instructions de calcul.....	28
1.2 Instructions de transfert avec la mémoire.....	28
1.3 Instructions de calcul d'adresse	28
1.4 Instructions de branchement.....	28
1.5 Instructions multimédia.....	28
1.6 Instructions de contrôle système	28
1.7 Instructions pour co-processeurs	28
2 Jeu d'instructions d'un processeur CISC.....	28
2.1 Instructions de transfert.....	29
2.2 Instructions de calcul.....	29
2.3 Instructions de branchement et d'appel et retour de procédure	29
2.4 Instructions multimédia.....	29
2.5 Instructions sur les chaînes de caractères	29
2.6 Instructions sur les réels	29
2.7 Instructions de contrôle système	29
3 Classement chronologique des processeurs évoqués dans le document.....	30

INTRODUCTION

1 Définition d'un microprocesseur

On peut donner du terme microprocesseur la définition suivante : "Composant renfermant dans un seul boîtier l'unité de contrôle et l'unité de traitement d'une machine informatique de type VON NEUMANN"

Cette définition exclut volontairement :

- Les architectures non VON NEUMANN (GAPP , Transputers, réseaux de neurones ...)
- Les microcontrôleurs qui incluent d'autres composantes des systèmes informatiques (mémoire, entrées/sorties)

La vocation de ces composants est de constituer l'unité centrale de micro-ordinateurs, de mini-ordinateurs et de stations de travail ou de serveurs. Toutefois leur prix raisonnable et leurs performances permettent leur utilisation dans des systèmes informatiques dédiés (concentrateurs de lignes, nœuds de réseaux, pilotes de robots etc.).

2 Historique

L'histoire des microprocesseurs est intimement liée à celle de la technologie des semi-conducteurs dont voici les principales étapes :

- 1947 Invention du transistor
- 1958 TEXAS INSTRUMENTS produit le 1^{er} circuit intégré (CI)
- 1961 Mise au point des technologies bipolaires TTL et ECL
- 1964 Intégration à petite échelle (SSI de 1 à 10 transistors)
- 1965 Intégration à moyenne échelle (MSI de 10 à 500 transistors)
- 1970 Mise au point de la technologie MOS
- 1971 Intégration à grande échelle (LSI de 500 à 20 000 transistors)
- 1985 Intégration à très grande échelle (VLSI plus de 20 000 transistors)

C'est l'apparition de la technologie CMOS permettant un grand degré d'intégration qui a ouvert la voie à la fabrication de composants capables de contenir l'unité de contrôle et l'unité de traitement d'un ordinateur sur une seule puce.

Le premier microprocesseur a été fabriqué par INTEL en 1971. C'était un 4 bits baptisé 4004 destiné à équiper des calculatrices de bureau. En 1972 INTEL produit le premier microprocesseur 8 bits baptisé 8008 par référence au précédent. Ce microprocesseur était destiné à répondre à un contrat de fabrication d'un terminal. En réalité le 8008 s'est révélé trop lent pour satisfaire le cahier des charges du terminal et INTEL a décidé de tenter le lancement de ce produit sur le marché grand public. L'énorme succès de cette initiative fut à l'origine de la fabrication massive des microprocesseurs. Le 8008 est constitué de 3300 transistors et effectue 60000 instructions par seconde grâce à une horloge à 300KHz.

A la suite du succès du 8008, INTEL produisit, dès 1974, le 8080 qui constituera le premier élément de la future famille de microprocesseurs de ce fabricant. Fort de ses 6000 transistors, le 8080, doté d'une horloge à 2MHz effectue 640000 instructions par seconde.

En 1974, MOTOROLA, autre fondeur de silicium, décide de lancer le 6800 qui constituera lui aussi le début d'une grande famille.

Les années 70 voient alors apparaître de petites entreprises de fabrication de microprocesseurs parfois constituées par des transfuges des deux grandes compagnies. On peut notamment citer MOS Technologies avec son 6502 très inspiré du 6800 mais vendu seulement 25\$ et ZILOG avec son Z80 qui constitue une amélioration technique du 8080 (augmentation du nombre de registres, simplification de l'alimentation...). Les autres grands constructeurs (TEXAS INSTRUMENT, FAIRCHILD , RCA , SIGNETICS etc.) se lanceront aussi dans ce marché.

Ces composants seront à la base des premiers micro-ordinateurs tant personnels (ALTAIR 8800 de MITS avec un 8080, TRS80 de TANDY avec un Z80 et le tout premier APPLE avec un 6502) que professionnels (EXORCISER de MOTOROLA et multiples constructeurs développant autour du format de carte S100 pour 8080 et Z80).

On peut remarquer que la conception même du composant avait été chez certains constructeurs (MOTOROLA, MOS Technologies ...) plus guidée par des considérations informatiques qu'électroniques (possibilité de tests selon la représentation des nombres, sauvegarde automatique de contexte, distinction entre interruption matérielle et logicielle...). Tandis que d'autres (INTEL, ZILOG ...) avaient opté pour une approche plus matérielle (test de

parité, pas de sauvegarde automatique de contexte pour prendre en compte les interruptions plus rapidement, rafraîchissement de mémoires dynamiques).

Paradoxalement la famille des 8 bits d'INTEL a bénéficié d'un grand effort de développement de logiciel (écriture des systèmes d'exploitation CPM puis MPM et CCPM) alors que la famille MOTOROLA se voyait attribuer des systèmes d'exploitation plus "maison" et moins aptes à accueillir des progiciels.

LES ANCÊTRES

Les microprocesseurs 4 et 8 bits font déjà partie du passé. Ils illustrent malgré tout les principes de fonctionnement de ce type de composants. Nous nous contenterons d'un petit tour d'horizon sous la forme des tableaux ci-après et de l'étude d'un microprocesseur de la 1^{ère} génération, le 6800 de MOTOROLA.

1 Les 4 bits

Constructeur Référence	INTEL 4004	INTEL 4040	ROCKWELL PPS4	FAIRCHILD PPS25	TEXAS INS TMS 1000
Nombre d'instructions	46	60	50	95	petit
Temps d'addition entre registres (en µs)	8	8	5	3	15
Espace mémoire	4K	8K	4K	6,5K	1K
Registres d'usage général	16	24	4	1	4

Le 4004

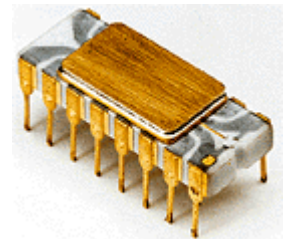
Le 4004, apparu en Mars 1971, intègre 2250 transistors et est doté d'une horloge à 740KHz.

Il traite des données sur 4 bits bien que la mémoire soit organisée en mots de 8 bits. Le jeu d'instructions comporte 46 instructions codées sur 8 bits.

La mémoire maximale adressable est de 1Ko pour les données (RAM) et 4Ko pour le code (ROM).

Le 4004 possède 16 registres de 4 bits utilisables aussi comme 8 registres de 8 bits. Il gère les appels de sous programmes par une pile interne à 4 niveaux.

Le 4040, datant de 1972, ajoute 4 niveaux à cette pile ainsi que 14 nouvelles instructions et la gestion des interruptions.



2 Les 8 bits

Constructeur Référence	INTEL 8008	INTEL 8080	INTEL 8085	MOTOROLA 6800
Nombre d'instructions	48	69	71	71
Temps d'addition entre registres (en µs)	12,5 à 20	1,3 à 2	1,3	2
Espace mémoire	16K	64K	64K	64K
Registres d'usage général	7	7	7	3
Nombre de transistors	3300	4000	6200	4000
Horloge (en MHz)	0,3	2 ou 2,67 ou 3,125	3,5 ou 6	1 ou 1,5 ou 2
Année	1972	1974	1976	1974

Constructeur Référence	ZILOG Z80	MOS Technologies 6502	ROCKWELL PPS8	NATIONAL SC/MP
Nombre d'instructions	69	71	90	50
Temps d'addition entre registres (en μ s)	1,6	2	4	5 à 25
Espace mémoire	64K	64K	32K	64K en pages de 4K
Registres généraux	17	3	3	6
Année	1976	1975	1976	1976

L'architecture interne de ces microprocesseurs est très simple et directement calquée sur l'architecture de VON NEUMANN. Nous nous contenterons d'analyser la structure de l'un d'entre eux.

Un exemple : le 6800 de Motorola

Le 6800 possède, en terme de registres, le strict minimum c'est à dire un compteur ordinal, un pointeur de pile, un registre d'index, deux accumulateurs et un registre de code de conditions.

Il traite les opérandes sur 8 bits suivants :

- Entiers naturels (0 à 255)
- Entiers relatifs en représentation complément à 2 (-127 à 127)
- Décimaux en DCB sur 2 chiffres (8 bits)

Les opérandes sur 16 bits ne peuvent être traités que par "tranches" successives de 8 bits.

On peut toutefois noter que l'index (sur 16 bits) peut faire l'objet de transferts vers et depuis 2 octets consécutifs en mémoire ainsi que d'incrémentations, de décrémentations et de comparaisons d'égalité avec un mot constitué de 2 octets consécutifs en mémoire.

Le bus d'adresses est de 16 bits donc l'espace mémoire ne peut dépasser 64K octets. Le 6800 possède les modes d'adressage direct (opérande désigné par son adresse en mémoire) et indexé (opérande désigné par une adresse obtenue par addition du contenu du registre d'index et de la valeur placée dans l'instruction. Le déplacement est fixe et constitué d'un entier naturel sur 8 bits).

L'horloge de séquençement du 6800 est de 1 MHz (des modèles ultérieurs 68A00 et 68B00 supporteront des horloges de 1,5 et 2 MHz). Toute instruction dure au moins 2 périodes d'horloge et aucune ne dépasse 12 périodes (la plus grande partie des instructions se situant entre 2 et 6 périodes). Contrairement aux microprocesseurs d'INTEL et ZILOG le fonctionnement du 6800 est biphasé c'est à dire que pendant la 1^{ère} moitié de la période d'horloge s'effectuent les opérations internes (décodage de l'instruction, UAL, transferts de registres) et pendant la 2^{ème} moitié les échanges avec la mémoire. Le fonctionnement est totalement synchrone c'est à dire que la mémoire doit pouvoir "répondre" pendant la demi-période qui lui est allouée et il n'existe aucun moyen simple de faire attendre le microprocesseur si la mémoire est trop lente.

L'ÉVOLUTION DES MICROPROCESSEURS

1 Les limites des premiers microprocesseurs

Très vite les 8 bits commencent à atteindre la limite de leurs performances et les constructeurs se penchent sur de nouvelles solutions. Les principaux reproches faits aux 8 bits sont :

- peu d'espace mémoire accessible (64 K octets)
- peu de types d'informations manipulés (1 ou 2 octets)
- pas adaptés aux architectures multiprocesseurs
- peu de modes d'adressage

Pour toutes ces raisons les constructeurs commencent à étudier une nouvelle génération de microprocesseurs. De sorte que l'on verra apparaître des microprocesseurs 8 bits plus puissants permettant de manipuler plus facilement des informations sur 16 bits et offrant de nouvelles possibilités d'adressage comme le 6809 de MOTOROLA ou le 8085 d'INTEL.

L'utilisation de plus en plus "informatique" des microprocesseurs (langages évolués, systèmes d'exploitation performants) a rapidement attiré les constructeurs vers des produits plus proches des unités centrales d'ordinateurs. De plus la demande sans cesse croissante de puissance et de rapidité a engendré des architectures utilisant le parallélisme tant en ce qui concerne la recherche que l'exécution des instructions. Ce sont ces évolutions que nous allons tenter de décrire maintenant.

2 L'évolution de l'architecture

L'une des premières améliorations apportée a été l'augmentation de la taille du bus de données et des opérandes et l'introduction de nouveaux types d'adressage (indirect, avec post incrémentation et pré décrémentation).

Ensuite ont été introduits les concepts depuis longtemps utilisés sur les ordinateurs de mémoire virtuelle et de niveaux de privilège.

Puis, le degré d'intégration augmentant considérablement, sont apparues les antémémoires permettant d'accélérer l'accès aux instructions et aux opérandes.

Enfin, on a vu apparaître un véritable parallélisme d'exécution des instructions nécessitant la mise en place de méthodes sophistiquées de prédiction pour aller rechercher d'avance les instructions à faire et les opérandes qu'elles doivent traiter et pour résoudre les problèmes d'ordonnancement posés par l'exécution en parallèle des instructions.

Enfin, c'est par l'intégration de plusieurs processeurs sur une même puce que l'on augmentera les performances à partir de 2002 comme dans le POWER4 d'IBM (2 processeurs).

Ce sont ces évolutions que nous allons décrire en détail dans ce qui suit.

2.1 Taille des données

Dès 1976, le TMS 9900 de Texas Instrument proposait la manipulation d'opérandes sur 16 bits. Les microprocesseurs 16 bits ont duré jusqu'au milieu des années 80, époque à laquelle sont apparus les 32 bits. Les 64 bits sont apparus au début des années 90 et tendent à se généraliser. Par la suite, avec l'apparition des antémémoires, cette taille est devenue moins significative puisque les accès se font toujours à partir de l'antémémoire (voir plus loin) tandis que les échanges entre la mémoire et l'antémémoire peuvent se faire sur des bus plus larges de façon à les rendre plus rapides (actuellement 128 ou 256 bits).

2.2 Mémoire virtuelle et pagination

La taille des mémoires a connu une croissance importante qui l'a faite rapidement passer de quelques Ko à quelques centaines de Mo. Parallèlement la taille des bus d'adresse des microprocesseurs a été considérablement augmentée (voir tableau). La mise en place d'une gestion de mémoire virtuelle s'est rapidement généralisée de sorte que les adresses vues par les instructions ne sont pas celles mises sur le bus d'adresse physique du microprocesseur.

Modèle	Année	Adresse réelle	Adresse virtuelle
INTEL 4004	1971	12 bits (4 Ko)	Non
INTEL 8080	1974	16 bits (64 Ko)	Non
INTEL 8086	1978	20 bits (1 Mo)	Non
MOTOROLA 68000	1979	24 bits (16 Mo)	Non
INTEL 80286	1982	24 bits (16 Mo)	30 bits
INTEL 80386	1985	24 bits (16 Mo)	46 bits
MOTOROLA MPC601	1993	32 bits (4 Go)	52 bits
INTEL Pentium	1993	32 bits (4 Go)	46 bits
MIPS R12000	1999	40 bits (1 To)	64 bits
MOTOROLA MPC620	1996	40 bits (1 To)	80 bits
HP PA-8000	1996	40 bits (1 To)	96 bits
INTEL Pentium 2	1999	36 bits (64 Go)	46 bits
HP PA-8700	2001	44 bits (16 To)	96 bits
Itanium2	2002	64 bits	64 bits

Remarque : 96 bits d'adresse représentent la possibilité de désigner environ $8 \cdot 10^{28}$ octets (80 milliards de milliards de milliards !).

La mise en œuvre de la mémoire virtuelle suppose que soient réalisés des transferts entre mémoire de masse et mémoire centrale. De tels transferts sont facilités si la mémoire est gérée en pages. On trouvera ce concept de pagination de la mémoire dès 1985 sur le 80386.

2.3 Niveaux de privilège

Afin de sécuriser les systèmes d'exploitation écrits pour ces microprocesseurs, il a été rapidement nécessaire de protéger certaines instructions et certains accès à la mémoire. Pour ce faire on définit des niveaux de privilèges auxquels fonctionne le microprocesseur et qui déterminent quelles instructions peuvent être effectuées. De son côté le gestionnaire de mémoire virtuelle se charge de la protection des accès. On trouve ce type de fonctionnement très tôt sur le 68000 (1979) réalisé de la façon suivante :

Le processeur connaît 2 niveaux de privilège : utilisateur et superviseur. Il les distingue par la valeur d'un bit du registre d'état. Le passage du niveau superviseur au niveau utilisateur est obtenu par toute instruction ayant pour effet de modifier ce bit du registre d'état. Le passage du niveau utilisateur au niveau superviseur ne peut avoir lieu que lors de la prise en compte d'une interruption car les instructions permettant les modifications de ce bit sont interdites en mode utilisateur.

On peut remarquer que le 68000 ne possédant pas de gestion de mémoire virtuelle, l'existence de ces 2 modes doit être considérée comme une facilité pour la mise en place de protection et non comme une vraie sécurité. Toutefois le 68000 génère 3 signaux FC_0 à FC_2 indiquant quel est le type de transfert en cours sur le bus (code ou données de l'utilisateur, code ou données du superviseur, acceptation d'interruption). On peut, en utilisant ces signaux, mettre en place un dispositif physique efficace de protection de la mémoire.

Un peu plus tard le système est amélioré en augmentant le nombre de niveaux de façon à avoir une gestion plus fine de la sécurité. Ainsi on trouve sur le 80286 (1982) quatre niveaux de privilège dont l'efficacité est augmentée par la gestion d'une mémoire virtuelle :

- niveau 0 : noyau du système d'exploitation
- niveau 1 : primitives du système d'exploitation
- niveau 2 : extensions du système d'exploitation
- niveau 3 : applications

2.4 Les antémémoires

Les progrès de la technologie des semi-conducteurs ont permis d'augmenter les vitesses d'horloge des microprocesseurs de façon régulière. Partis de quelques KHz au début des années 70 on atteint quelques MHz dès le milieu des années 70 puis la dizaine de MHz au début des années 80, la cinquantaine de MHz en fin des années 80, la centaine de MHz au début des années 90 pour arriver à frôler le GHz en fin de siècle et le dépasser à partir de l'an 2000.

Toutefois les vitesses des mémoires n'ont pas suivi le même rythme et il a très vite fallu introduire des mémoires rapides (antémémoires¹) pour éviter de devoir ralentir les microprocesseurs.

¹ Les antémémoires sont souvent appelées "mémoires caches", dans ce document seul le terme "antémémoire" sera utilisé

Dès 1979 le Z8000 de ZILOG était doté d'une antémémoire de 256 octets qui pouvait être utilisée pour les données, les instructions ou les deux à la fois. De même une petite antémémoire de 64 mots de 32 bits a équipé le 68020 en 1984. Elle n'était utilisée que pour contenir des instructions ce qui évitait les problèmes de cohérence entre l'antémémoire et la mémoire puisqu'il n'y avait pas d'écriture dans l'antémémoire.

Par contre les modèles suivants sortent avec des antémémoires internes. Sur certains l'antémémoire est unique et contient aussi bien des données que des instructions. Sur d'autres elle est divisée pour permettre l'accès simultané aux instructions et à leurs opérandes.

Les antémémoires de second niveau, d'abord externes, commencèrent à être de plus en plus intégrées. Toutefois il était encore difficile d'intégrer de grandes tailles de mémoire rapide sur la même puce que le microprocesseur ce qui conduisit par exemple INTEL à proposer des composants sur 2 puces encapsulées dans un boîtier (Pentium Pro, Pentium II et III). Actuellement des antémémoires de troisième niveau sont parfois intégrées sur la même puce et atteignent des tailles de quelques Mo.

Le tableau suivant donne des tailles d'antémémoires rencontrées à diverses époques :

Année	Antémémoire unique (instructions et données)	Antémémoires séparées (instructions et données)	Antémémoire de deuxième niveau	Antémémoire de troisième niveau
1985		0 + ¼ Ko		
1986		4Ko + 4Ko		
1989	8 Ko	4Ko + 4Ko		
1991	16 Ko			
1992		8Ko + 8Ko		
1994		16Ko + 16Ko	256 Ko	2 Mo
1996	abandonné	32Ko + 32Ko	512 Ko	8 Mo
1998		64Ko + 64Ko	1 Mo	
2000			2 Mo	
2002			6 Mo	
2004			8 Mo	32 Mo
2005				64 Mo

1°) Fonctionnement des antémémoires

Écriture : Pour l'antémémoire de données on peut utiliser la méthode "d'écriture totale" (write through) c'est à dire que, lorsqu'une écriture a lieu, elle est effectuée à la fois dans l'antémémoire et dans la mémoire. La donnée écrite est disponible dans l'antémémoire pour les instructions suivantes même si l'écriture effective en mémoire n'a pas encore eu lieu.

Remplissage : Il se fait par blocs (burst mode). Ceci conduit à la fabrication de mémoires spécialement adaptées à ce type d'accès.

Remplacement : Pour choisir les blocs qui peuvent être utilisés et savoir quelles opérations sont nécessaires (écriture en mémoire si le bloc a été modifié, mise à jour de synchronisation en fonctionnement multiprocesseur ...) chaque bloc dans les antémémoires peut être dans l'un des 4 états suivants :

- invalide (son contenu n'est plus valide)
- exclusif non modifié (non partagé et n'a pas été modifié)
- exclusif modifié (non partagé mais a été modifié)
- partagé (il y a d'autres copies dans d'autres antémémoires)

2°) Contrôle des antémémoires

Certaines instructions permettent de contrôler le mode d'utilisation des antémémoires. Elles sont particulièrement utiles lorsque plusieurs processeurs partagent la même mémoire et pourraient disposer dans leurs antémémoires de versions différentes (non synchronisées) des informations.

Elles permettent en particulier de choisir de faire ou de ne pas faire la mise à jour de l'antémémoire à chaque écriture dans une adresse mémoire dont l'image est dans l'antémémoire, de libérer un ou plusieurs blocs de l'antémémoire de données, de verrouiller le contenu de l'antémémoire (plus de chargement de blocs) et d'autoriser ou d'interdire l'utilisation de l'antémémoire.

2.5 Les réels

Les premiers microprocesseurs ne manipulaient que des nombres entiers pour lesquels ils n'offraient que les opérations d'addition et de soustraction. Les opérations de multiplication puis de division ne sont apparues qu'à partir de la fin des années 70. Le traitement des réels était alors laissé au programmeur qui devait écrire des procédures à cet effet. Bien entendu cette carence devait rapidement être comblée. La première solution proposée fut d'utiliser un co-processeur arithmétique c'est à dire un composant auquel le microprocesseur sous traitait les

calculs concernant des nombres réels. Le premier microprocesseur ainsi équipé est probablement le 9511 d'AMD en 1979. Ces co-processeurs ont par la suite disparu pour être intégrés à l'unité de traitement des microprocesseurs dès la fin des années 1980.

Les processeurs actuels traitent des réels codés sur 82 bits dont 17 pour l'exposant conformément à la norme ANSI/IEEE.

2.6 Le parallélisme d'exécution des instructions

Dans le souci d'accélérer l'exécution des instructions, les constructeurs ont peu à peu introduit des modules capables de traiter en parallèle certaines des actions du microprocesseur. Nous allons maintenant décrire ces améliorations.

Les premiers microprocesseurs en 16 bits ont introduit la lecture prédictive d'instructions et leur mise dans une file d'attente pour exécution.

Ainsi le 8086 (1978) est constitué de 2 unités :

- L'unité de gestion des bus **UGB**
- L'unité d'exécution **UE**

L'UGB se charge :

- de la recherche des instructions et de leur mise en file d'attente
- de la lecture et l'écriture des opérandes
- du calcul des adresses en mémoire
- du contrôle physique de la mémoire

Elle fonctionne en parallélisme total avec l'UE.

L'UE puise les instructions dans la file d'attente de 6 octets et utilise l'UGB pour obtenir ses opérandes depuis la mémoire et pour y ranger ses résultats. Tous les problèmes d'adressage sont donc gérés par l'UGB.

Le parallélisme sera amélioré de modèle en modèle en introduisant des unités dont le rôle est de préparer le travail des autres. Ainsi le 80286 (1982) se verra doté de 2 nouvelles unités :

- Unité d'instructions **UI**
- Unité d'adresses **UA**

L'unité d'instructions UI puise dans la file d'attente de 6 octets de l'UGB pour maintenir à jour une file d'attente de 3 instructions décodées.

L'unité d'adresses UA assure le calcul des adresses physiques tant en mode réel qu'en mode virtuel.

Plus tard, sur le 68020 (1984), les unités d'exécution seront fabriquées selon une architecture en pipe-line permettant à plusieurs instructions de s'exécuter en chevauchement.

Ce principe de pipe-line sera aussi adopté pour les unités de contrôle permettant ainsi de faire en parallèle le pré-décodage des instructions et leur préparation en vue de la phase d'exécution. On trouve ce principe de fonctionnement dès 1986 sur le Z80000 de ZILOG puis en 1987 sur le 68030.

Le tableau suivant donne, pour quelques processeurs la profondeur du pipe-line d'exécution des instructions ainsi que le nombre maximum d'instructions pouvant être exécutées simultanément grâce à ce dispositif.

Nom du processeur	Profondeur du pipe-line d'exécution	Nombre d'instructions en parallèle	Nom du processeur	Profondeur du pipe-line d'exécution	Nombre d'instructions en parallèle
MIPS R10000	7	4	Motorola G4e	7	2+1 branchement
DEC alpha 21264	6	6	Motorola G5	10	2+1 branchement
SUN UltraSparc II	7	4	INTEL Pentium II	10	3
SUN UltraSparc III	14	4	INTEL Pentium III	10	3
Motorola G3	4	2+1 branchement	INTEL Pentium IV	20	3
			INTEL Pentium 4EE	31	

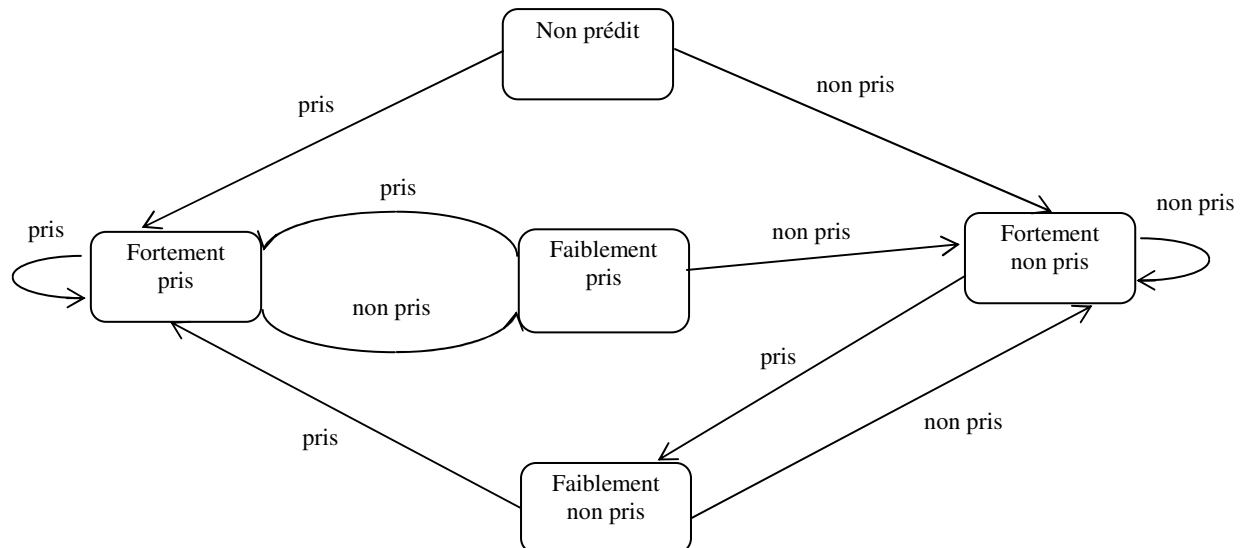
Prédiction des branchements

La préparation d'avance d'instructions pose le problème de la justesse de la prédiction. Ce problème est celui posé lors d'une instruction de branchement conditionnelle. En effet, le dispositif de recherche d'instructions lit à l'avance les instructions en séquence. Mais, lors d'un branchement, il est impossible de savoir à l'avance s'il aura lieu ou pas.

Les dispositifs utilisés dans un premier temps se contentaient de faire comme si le branchement ne devait pas avoir lieu puis, le cas échéant, d'arrêter le pipe-line d'exécution et de vider la file d'attente des instructions, pour relancer la recherche à partir de la nouvelle adresse mais une telle opération nécessite plusieurs cycles d'horloge.

Afin d'éviter qu'une telle situation ne se produise trop souvent, la méthode généralement utilisée est la suivante : L'unité de recherche des instructions lit les instructions en séquence jusqu'à rencontrer un branchement conditionnel. Lorsque cela se produit elle fait appel à une unité de prédiction de branchement qui lui indique si elle doit continuer la recherche en séquence ou à partir de l'adresse indiquée dans l'instruction de branchement.

L'un des modèles de prédiction souvent utilisé est un automate à 5 états dont le diagramme est le suivant :



Remarque : Certaines variantes comme l'algorithme de Smith n'ont pas l'état 'Non prédit'.

Chaque fois qu'une instruction de branchement est exécutée, on met à jour son état dans l'historique en fonction du fait que le branchement à eu lieu ou non. Lorsque le branchement correspond à 'état "non prédit", on considère qu'il aura lieu s'il renvoie à une adresse en arrière et qu'il n'aura pas lieu s'il envoie à une adresse en avant. Ceci correspond simplement à des constatations statistiques de comportement des instructions de branchements.

Quand l'unité de génération d'adresse d'instruction rencontre un branchement, elle fait appel à une mémoire associative contenant des informations sur les derniers branchements rencontrés pour y trouver l'historique de ce branchement. Si le branchement n'a pas encore d'historique, il est dans l'état 'non prédit'. A l'aide de cette méthode on produit une prévision qui se révèle correcte dans 90% des cas.

On ajoute de plus une table en mémoire associative contenant les dernières adresses de branchement calculées. Cette table permet d'éviter de refaire le calcul de l'adresse d'un branchement que l'on a déjà traité.

Parallélisme d'exécution (superscalaire)

La dernière étape à franchir est celle de l'exécution réellement en parallèle de plusieurs instructions. L'utilisation de pipe-line permet d'avoir à un moment donné plusieurs instructions en cours à des stades plus ou moins avancés mais ne permet pas, lorsqu'il est utilisé seul, d'effectuer plusieurs instructions simultanément.

Le principe de base est de disposer de plusieurs unités de traitement identiques ou partiellement spécialisées et de tenter de distribuer les instructions préalablement décodées entre ces unités. Le premier microprocesseur à réaliser cela est sans doute le 32732 de National Semiconductor en 1991.

On rencontre habituellement :

- 1 ou plusieurs unités prenant en charge la lecture et l'écriture des opérandes
- 1 unité de traitement des branchements (voir ci-dessus)
- 1 ou plusieurs unités de calcul sur les entiers
- 1 ou plusieurs unités de calcul sur les réels

Certaines de ces unités sont elles-mêmes réalisées en pipe-line de façon à pouvoir traiter plusieurs opérations simultanément à des stades différents. On trouve en outre, sur certains microprocesseurs, des unités très spécialisées assurant du calcul vectoriel ou de type traitement de signal.

La plupart des processeurs actuels peuvent distribuer plusieurs instructions en parallèle lorsque, bien entendu, la disponibilité des unités de traitement le permet.

Le tableau suivant présente l'évolution des microprocesseurs en terme de parallélisme :

Année	Microprocesseur	Nombre d'unités en parallèle	Nombre d'instructions en parallèle	Nombre de transistors (en millions)
1989	INTEL 80486	2	1	1,2
	MOTOROLA 68040	2	1	1,2
1992	DEC Alpha 21064	4	2	1,68
	SUN SuperSPARC	5	3	3,1
1993	INTEL Pentium	3	2	3,1
	MPC 601	4	3	2,8
	SUN SPARC Thunder 1	8	4	6
1994	MPC 604	6	4	3,6
1995	DEC Alpha 21164	4	2	9,3
	INTEL Pentium Pro	7	3	5,5
	SUN UltraSPARC I	9	4	5,2
1996	MIPS R10000	5	4	6,8
	HP PA-8000	10	4	4,5
1997	INTEL Pentium P55C	5	2	4,5
	INTEL Pentium II	7	3	7,5
	MPC 750	6	4	6,35
1998	DEC Alpha 21264	6	6	15,2
1999	INTEL Pentium III	7	3	9,5
	MPC 7400 (G4)	7	3	6,5
2001	HP PA-8700	10	4	186
2002	DEC Alpha 21364	14	6	152
2002	A partir de 2002 le parallélisme est obtenu en mettant plusieurs processeurs sur une même puce.			

Dépendance des données et renommage des registres

L'exécution en parallèle d'instructions soulève le problème de l'ordre d'exécution. En effet, lorsque deux instructions sont lancées simultanément il peut arriver que celle qui avait le rang $i+k$ dans le programme se termine avant celle qui y avait le rang i . Or ceci peut produire des résultats faux lorsqu'il existe une dépendance de données entre ces 2 instructions. On distingue 3 cas de figure :

Write After Read : l'instruction de rang $i+k$ écrit dans un opérande qui est lu par l'instruction de rang i . Il faut éviter que celle de rang $i+k$ ne se termine avant l'autre.

Write After Write : les instructions de rang i et $i+k$ écrivent dans le même opérande. C'est le même problème que ci-dessus.

Read After Write : l'instruction de rang $i+k$ lit un opérande écrit par celle de rang i . Il faut alors attendre que celle de rang i soit terminée pour lancer celle de rang $i+k$.

Pour éviter ce problème on peut, lorsque l'on détecte une telle situation, interdire l'exécution en parallèle des instructions concernées. C'est la solution adoptée sur les premiers microprocesseurs utilisant le parallélisme d'exécution. Toutefois la méthode de renommage des registres offre une solution plus efficace :

Les opérandes des instructions sont les registres de la machine que le jeu d'instructions permet de désigner. En réalité le processeur dispose d'un nombre de registres supérieur. Lorsqu'il décode une instruction il assigne un des registres disponible à chacun de ceux désignés dans l'instruction. Les deux premiers cas (Write After Read et Write After Write) sont alors simplement résolus en évitant d'assigner les mêmes registres aux deux instructions liées. Seul le dernier cas nécessite alors l'exécution séquentielle des 2 instructions.

Lorsque les instructions sont terminées on recopie les registres de renommage dans ceux réellement désignés par les instructions en respectant l'ordre dans lequel celles-ci se présentent dans le programme.

2.7 Le parallélisme d'exécution des processus

La mise en place de plusieurs unités de traitement (superscalaire) permet l'exécution simultanée d'instructions. Toutefois en raison des liens qui existent généralement entre les instructions successives d'un programme, il arrive assez souvent que ce parallélisme ne puisse pas être mis en œuvre. On peut toutefois généralement disposer d'instructions indépendantes exécutables à condition qu'elles appartiennent à un autre processus.

C'est ce principe qu'INTEL mettra en place en 2002 sur son Pentium 4 Xeon sous le nom de multithreading. Il convient toutefois de remarquer que l'amélioration de performance apportée par cette organisation n'est obtenue que si le processeur est utilisé avec un système d'exploitation multitâche préemptif. Le principe est de faire en sorte que le processeur soit vu par le système d'exploitation comme plusieurs processeurs virtuels capables de fonctionner en parallèle.

Pour obtenir ce résultat on duplique :

- Le compteur ordinal
- L'unité de recherche d'instructions
- Le dispositif de renommage des registres (voir parallélisme d'exécution des instructions)
- Certains registres (en particuliers liés à la gestion de la pile)

Chaque unité de recherche d'instruction, liée à son compteur ordinal alimente la file d'attente des instructions. Les instructions sont marquées pour que l'on puisse savoir à quel processus elles appartiennent. Leur exécution se fait sur les unités de traitement partagées par tous les processus mais en faisant appel au dispositif de renommage des registres associé au processus concerné de façon à avoir en apparence des registres distincts pour chaque processeur virtuel.

Bien que les instructions issues des divers processus soient mélangées dans la même file d'attente d'instructions, on s'assure que la file contienne des instructions de tous les processus. Ceci afin d'éviter que certains processus n'occupent toute la file et interdisent de fait l'exécution simultanée des autres.

Les unités d'exécution sont partagées entre les processus.

En ce qui concerne les antémémoires, le Pentium 4 Xeon se contente de les partager entre tous les processus sans gestion particulière. Cette façon de faire peut provoquer de fréquents défauts de présence d'information lors du changement de processus si les antémémoires ont été mise à jour par le processus qui s'est exécuté précédemment. Une solution proche de celle utilisée pour la file d'attente des instructions est préférable.

2.8 Le multimédia

La manipulation d'informations multimédia (images et sons) suppose des traitements simples mais rapides. Des processeurs spéciaux DSP (Digital signal Processor) ont été créés dans cette optique et parfois adjoints comme co-processeurs à des microprocesseurs classiques.

Les microprocesseurs des premières générations s'avèrent en général incapables de faire de telles quantités de calcul en temps réel. Ce sont tout d'abord les processeurs de type RISC (voir 3) qui ont permis le traitement d'images et de sons. Certains ont même été dotés d'un jeu d'instructions à cet effet. A part le cas isolé du MC8810 de Motorola en 1993, la première architecture introduisant de telles instructions (appelées MAX-1 et MAX-2) est l'architecture PA-RISC de HP. Les instructions en 32 bits MAX-1 (Multimedia Acceleration eXtension) sont apparues sur le PA-7100LC en 1994 et leur évolution en 64 bits (MAX-2) sur le PA-8000 en 1996. On trouvera aussi un jeu d'instruction de ce type en 1995 sur l'UltraSparc de SUN sous le nom VIS (Visual Instructions Set).

Ce sont des instructions qui permettent de traiter simultanément plusieurs opérands en considérant par exemple une information de 64 bits comme constituée de 2 entiers de 32 bits ou 4 de 16 bits ou 8 de 8 bits et en traitant toutes ces valeurs en une seule fois. Les opérations effectuées sont arithmétiques, logiques, de décalage, de comparaison et de transfert. On retrouvera bien plus tard de telle instructions (appelées MMX signifiant selon les périodes MultiMedia eXtension ou Matrix Maths eXtension) sur des architectures CISC comme le Pentium P55C d'INTEL en 1997.

Les instructions de ce type ne traitent que des entiers (pixels ou valeurs échantillonnées de signal) et ne permettent donc pas de faire des calculs d'images en 3D. Pour cela ce sont des valeurs réelles qui doivent être manipulées. On trouvera de telles instructions sur des microprocesseurs spécialisés comme le 80860 d'INTEL en 1988 qui était un processeur vectoriel. Plus tard, en 1998, sur le K6-2 d'AMD qui est un clone amélioré du Pentium d'INTEL sous le nom 3D Now et enfin sur le Pentium III d'INTEL en 1999. Des opérations sur des vecteurs de réels seront aussi utilisées sur la quatrième génération de POWER PC en 1999. Puis, en 2001, 144 nouvelles instructions (SSE2) spécialisées pour l'audio, la vidéo et la 3D sont ajoutées sur le Pentium IV.

2.9 Les multiprocesseurs

1°) Gestion des configurations multiprocesseurs

Très tôt les constructeurs ont ajouté des lignes physiques (SC/MP de National Semiconductor en 1976) et des instructions permettant d'assembler plusieurs microprocesseurs et de les faire se partager certaines ressources (en particulier de la mémoire). Ainsi on trouve sur le 68000 (1979) d'un point de vue matériel, 3 signaux permettant de partager ses bus avec d'autres processeurs :

BG qui permet au 68000 d'indiquer qu'il va libérer les bus dès la fin du cycle en cours.

BR qui permet à un autre processeur de demander l'accès aux bus du 68000.

BGACK qui indique au 68000 qu'un autre processeur a pris possession de ses bus.

Et d'un point de vue logiciel, l'instruction TAS (Test And Set) qui permet la mise en place de sémaphores dans la mesure où elle est ininterrompue et où les bus sont verrouillés pendant toute la durée de cette instruction.

On trouvera sur le 68020 (1984) deux nouvelles instructions qui sont des versions améliorées du TAS :

CAS : L'opérande est comparé au contenu d'un registre (sur 8, 16 ou 32 bits). S'il y a égalité, le contenu d'un 2^{ème} registre (valeur de mise à jour) est écrit à la place de l'opérande, sinon la valeur de l'opérande vient remplacer le contenu du registre de comparaison.

On peut donc décrire CAS par l'algorithme suivant :

comparer l'opérande et le registre de comparaison

si égalité alors opérande ← registre de mise à jour

sinon registre de comparaison ← opérande

CAS2 : étend à 2 opérandes les fonctions de CAS :

comparer l'opérande 1 et le registre de comparaison 1

si égalité alors

comparer l'opérande 2 et le registre de comparaison 2

si égalité alors

opérande 1 ← registre de mise à jour 1

opérande 2 ← registre de mise à jour 2

fsi

sinon

registre de comparaison 1 ← opérande 1

registre de comparaison 2 ← opérande 2

fsi

CAS2 met en jeu 6 registres : 2 registres de comparaison, 2 registres de mise à jour et 2 registres contenant les adresses des opérandes.

Les années 2000 ont vu apparaître des microprocesseurs spécialement conçus pour être assemblés dans des systèmes multiprocesseurs. On peut citer le Pentium3 qui possédait des signaux permettant d'en monter 2 en maître esclave afin d'obtenir un système tolérant aux pannes. Mais surtout le processeur alpha 21364 intégrant 4 canaux de communication à haut débit (1,6 Go/s) permettant de le connecter à ses 4 voisins et ainsi de constituer des matrices ou des tores de processeurs. On peut remarquer que ce même type de canaux d'interconnexion avait équipé le transputer de INMOS dès 1988. Il ne s'agissait toutefois pas d'un microprocesseur standard mais spécialement conçu pour la réalisation de réseaux systoliques.

2°) Les vrais multiprocesseurs

La possibilité de placer deux microprocesseurs dans une même puce n'a été obtenue qu'en 2002 et on a vu apparaître le POWER4 d'IBM qui contient 170 millions de transistors. Il est constitué de deux POWER3 partageant une mémoire de 1,5 Mo organisée en trois blocs de 0,5 Mo reliés aux deux processeurs par un cross-bar. De plus il est doté de trois canaux de communication permettant de le relier à 3 autres POWER4.

Ce phénomène s'est généralisé à partir de 2004 avec l'UltraSpark IV de Sun constitué de deux UltraSpark III dans un même boîtier et les nouvelles versions de l'Itanium d'Intel (Montecito, Tanglewood) contenant respectivement 2 et 4 processeurs de type Itanium2. De la même façon Intel a proposé, à partir de 2005, des boîtiers contenant 2 ou 4 processeurs (Pentium D, Dual core Xeon, Quad core Xeon).

Les systèmes d'exploitation sachant gérer plusieurs processus ne rencontrent aucune difficulté à gérer plusieurs processeurs de sorte que les constructeurs s'orientent maintenant tous vers la fabrication de puces multiprocesseurs.

3 Les architectures CISC et RISC

Les progrès de l'intégration des composants ont permis d'une part d'accélérer les vitesses d'horloge et d'autre part de réaliser des composants de plus en plus complexes.

La première tendance a été de complexifier le jeu d'instructions en tentant de se rapprocher des opérations utilisées par les langages évolués et les systèmes d'exploitation. On a ensuite parallélisé la recherche et l'exécution des instructions et inclus des antémémoires de premier puis de deuxième et troisième niveau. Toutefois ce type de solution s'est assez vite révélé lourd en particulier pour les concepteurs de logiciel qui avaient bien du mal à utiliser toutes les possibilités du processeur.

3.1 RISC

Une autre façon d'aborder le problème consistait à utiliser le surcroît de performance non pas pour avoir plus d'instructions mais pour avoir des instructions exécutées plus rapidement. C'est ainsi qu'est né le concept d'architecture RISC (Reduced Instruction Set Computer) par comparaison au CISC (Complex Instruction Set Computer).

L'une des toutes premières architectures de type RISC est sans doute celle appelée PA-RISC de HP en 1986. On y retrouve les caractéristiques classiques des processeurs RISC, à savoir :

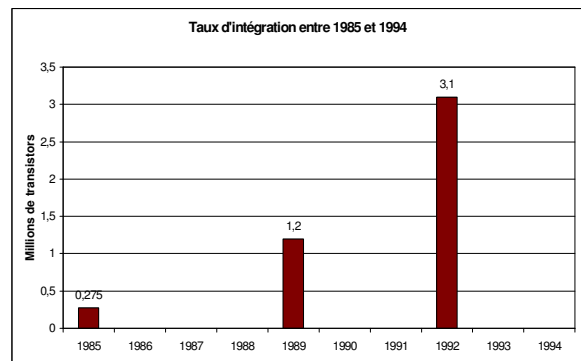
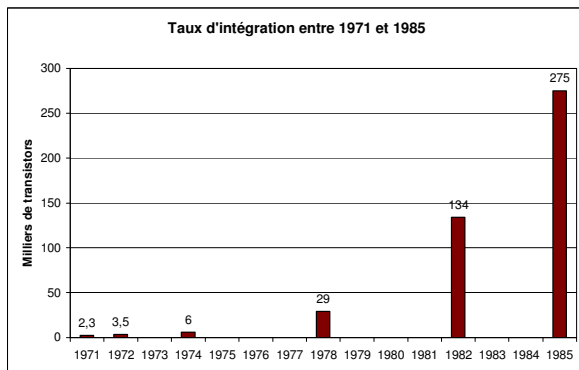
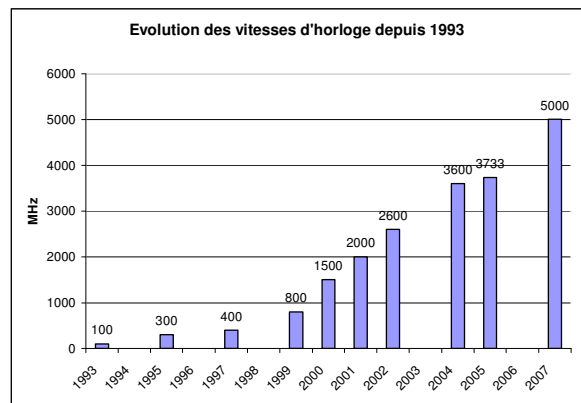
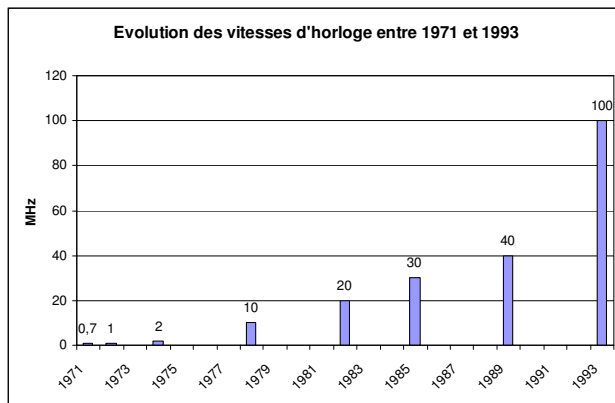
Jeu d'instruction réduit

Taille des instructions constante

Nombre élevé de registres (les instructions ne travaillent que sur les registres à l'exception des instructions de transfert entre registre et mémoire)

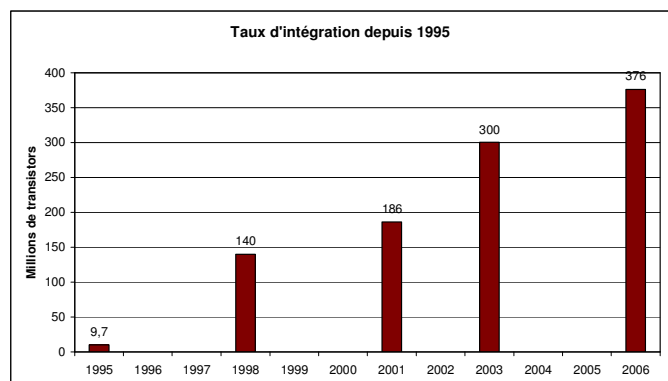
Traitement en pipe-line des instructions, les opérations s'exécutent en un cycle d'horloge

Utilisation de fenêtres de registres (voir ci-dessous)



Fenêtre de registres : Le processeur contient un nombre très élevé de registres internes (plusieurs centaines) parmi lesquels le programmeur prélève un groupe (de 1 à quelques dizaines). Il est possible, par une instruction simple, de changer de groupe de registres. Les groupes ainsi définis peuvent se chevaucher. Ceci permet de sauvegarder rapidement un contexte lors d'une interruption ou d'un appel de procédure (mise à disposition rapide de registres nouveaux) mais aussi de passer des paramètres par conservation de registres communs.

On trouvera ce type d'organisation en 1987 sur l'AMD 29000 qui dispose de 64 registres auxquels vient s'ajouter une fenêtre de 1 à 128 registres pris parmi les 128 du processeur. Mais aussi sur l'architecture SPARC en 1987 où chaque appel de procédure correspond à un glissement automatique de la fenêtre permettant ainsi de conserver 16 registres communs et d'en créer 16 nouveaux.



Codes de condition : La plupart des opérations positionnent les indicateurs de condition pour permettre d'utiliser des branchements conditionnels. Les architectures RISC proposent que ces indicateurs puissent être conservés dans

n'importe quel registre (précisé lors de l'opération) évitant ainsi les sauvegardes de contextes lors d'interruptions ou d'erreurs.

3.2 Hybrides

Il existe quelques architectures hybrides qu'il est difficile de classer en RISC ou en CISC. L'une des plus connue est l'architecture P6 d'INTEL apparue avec le Pentium Pro en 1995 puis poursuivie sur les Pentium II et suivants à partir de 1998.

Du point de vue du fonctionnement interne, le P6 peut être considéré comme un processeur RISC. Toutefois, dans la mesure où INTEL voulait qu'il reste compatible avec la famille 80x86, il a été doté d'un décodeur d'instructions constitué d'un pipe-line de 14 niveaux (au lieu de 5 dans le Pentium).

Ce décodeur d'instructions procède de la façon suivante :

- Le premier niveau calcule la nouvelle valeur du compteur ordinal en utilisant éventuellement la table de prédiction des branchements

- Les trois niveaux suivants vont rechercher 64 octets dans l'antémémoire d'instructions qui est organisé en mots de 32 octets. Ils découpent ces 64 octets en instructions et les transmettent au niveau suivant.

- Les 2 niveaux suivants sont en fait constitués de 3 unités fonctionnant en parallèle. Deux d'entre elles se chargent des instructions simples, tandis que la troisième traite les instructions plus complexes. Enfin, les instructions très complexes (comportant des préfixes d'itération par exemple) sont transmises à un séquenceur comparable à celui qui équipait les 80x86. A l'issue de ce traitement, les instructions ont été transformées en micro-opérations qui ressemblent à des instructions RISC à 3 opérandes. Les instructions 80x86 simples génèrent 1 micro-opération, les autres 4, tandis que celles traitées par le séquenceur (instructions répétitives ou concernant des chaînes de caractères) peuvent en créer jusqu'à 204.

- Le 7^{ème} niveau assigne les registres du 80x86 à des registres du P6 par le biais d'une table spéciale. Le P6 possède 40 registres généraux en plus des 8 pour les entiers et des 8 pour les réels.

- Le 8^{ème} niveau ajoute les informations d'état et d'utilisation des registres aux micro-opérations qui ont alors toutes 118 bits de long.

- Les niveaux suivants sont constitués d'un distributeur de micro-opérations vers des unités de génération d'adresse, de traitement des entiers ou des réels fonctionnant en parallèle.

4 Les architectures VLIW

Une autre approche de l'augmentation des performances est celle proposée par les architectures VLIW (Very Long Instruction Word) en particulier l'architecture IA-64. Ce sont des processeurs qui possèdent des instructions très longues dont chacune contient plusieurs opérations indépendantes. L'intérêt majeur de ce type d'instructions est qu'elles sont très puissantes tout en pouvant être exécutées très rapidement dans la mesure où les différentes opérations qui les constituent peuvent être traitées en parallèle (elles ne sont constituées que d'opérations indépendantes).

Pour ce genre de processeurs il est indispensable de disposer de compilateurs capables de regrouper plusieurs instructions indépendantes en une seule instruction longue (le compilateur détecte lui même les instructions pouvant être regroupées).

Ce principe a été adopté par Intel et HP pour l'architecture 64 bits IA-64 des Itanium et des PA-RISC. L'Itanium constitue le premier élément de la gamme baptisée EPIC (Explicit Parallel Instruction Computer) que nous allons maintenant détailler :

4.1 Principes

- * Mot d'instruction de taille fixe (128 bits) contenant 3 instructions simples. Des bits dans le mot d'instruction permettent d'indiquer au processeur ce qui peut être exécuté en parallèle (il faut donc que les compilateurs soient capables de détecter le parallélisme).

- * Exécution en parallèle des deux branches d'une alternative puis abandon des résultats obtenus dans la mauvaise branche.

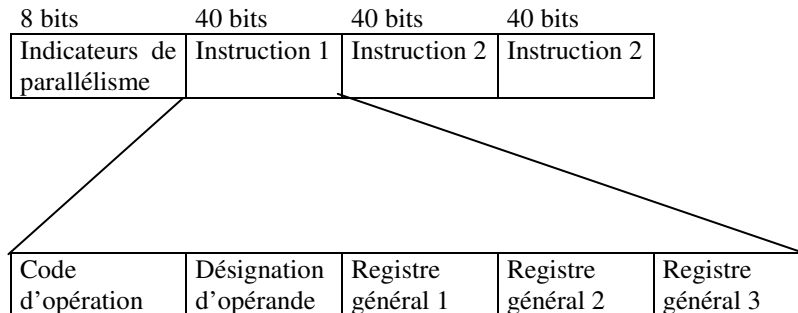
4.2 Instructions

Les instructions sont regroupées 3 par 3 dans un mot de 128 bits. Chaque instruction contient :

- Un code d'opération

La désignation de 3 registres généraux (parmi 128 pour les entiers et 128 pour les réels)
 La désignation d'un opérande en mémoire.

La forme générale est donc la suivante :



4.3 Branchements

En général, le processeur n'exécute pas de branchement. Les compilateurs organisent les 2 branches d'une alternative en utilisant le parallélisme entre instructions placées dans le même mot d'instruction. Ainsi le processeur exécute les deux cas comme s'ils étaient non conditionnels.

Le compilateur a marqué chaque instruction par un prédicat (sur 6 bits). Lorsqu'une condition est évaluée, un prédicat devient VRAI et l'autre FAUX. Tous les calculs faits par des instructions associées au prédicat FAUX sont oubliés et ceux associés au prédicat VRAI sont conservés.

Il existe 64 registres (P0 à P63) pour stocker ces prédicats.

Les instructions de branchement traditionnelles restent pour pallier les déficiences des compilateurs qui ne sauraient pas organiser les instructions avec prédicats. Dans ce cas, le principe utilisé est celui de la prédiction habituelle.

4.4 Erreurs de mémoire

Les compilateurs tentent de placer les instructions de recherche d'un opérande en mémoire le plus tôt possible de façon à ce que le processeur ne soit pas bloqué en attente d'un opérande non encore obtenu de la mémoire.

Cela pose toutefois le problème des exceptions levées lors de la non disponibilité d'un opérande en mémoire. Il faut, en effet, éviter que le processeur ne lève une exception lors de la recherche d'un opérande non disponible en mémoire alors que cet opérande ne devait de toute façon pas être pris car il était utilisé dans une branche d'alternative qui sera abandonnée ensuite. Dans une telle situation, il faut que le processeur mette de côté l'exception et ne la lève que si elle s'était produite dans une branche d'alternative qui doit être conservée.

QUELQUES MICROPROCESSEURS ACTUELS ET A VENIR

1 Les processeurs Alpha de Compaq (DEC)

DEC a créé la famille des processeurs Alpha dont le premier exemplaire fut le 21064 en 1992 puis vint le 21164 (EV5) en 1995 dont la fréquence d'horloge était de 300MHz et qui possédait une antémémoire de second niveau de 96Ko venant s'ajouter aux deux antémémoires (instructions et données) de 8Ko chacune. En 1998 apparaît le 21264 qui fonctionne avec une horloge de 500MHz.

1.1 Le 21264 (EV6)

Le 21264 apparu en 1998 (15,2 millions de transistors) est, comme toute la famille, un processeur RISC 64 bits. Il est doté de 80 registres d'entiers, 72 registres de réels et 6 unités de calcul :

- 4 unités pour les entiers dont une possède la multiplication, 2 font les calculs de branchements, une traite les opérations multimédia et 2 prennent en charge les transferts d'opérandes avec la mémoire (toutes font les additions et soustractions ainsi que les opérations logiques et de décalage).
- 2 unités pour les réels l'une faisant les multiplications et l'autre les additions, soustractions et racines carrées

Le pipe-line d'instructions est constitué de 6 niveaux et peut charger 4 instructions par cycle, en distribuer 6 et en terminer 8. Il est constitué des niveaux suivants :

- Recherche d'instructions
- Renommage des registres
- Mise en file des instructions (il y a 2 files : une de 20 entrées pour les entiers et une de 15 pour les réels).
- Préparation des registres
- Exécution en utilisant les 6 unités de calcul
- Rangement de résultats via une file de 32 entrées

La prédiction des branchements fait appel à 2 méthodes :

- La méthode globale qui tient compte de la façon dont le programme est arrivé au branchement
- La méthode locale qui tient compte du passé de ce branchement

Il est doté de deux antémémoires (instruction et données) de 64Ko chacune et gère une antémémoire externe de second niveau au travers d'un bus de données de 128 bits.

Le 21264 possède des instructions spéciales baptisées MVI (Motion Video Instructions) permettant le traitement d'images animées (MPEG2) et de son Dolby (AC3) en temps réel. Ces instructions existent aussi sur le processeur 21164PC.

1.2 Le 21364 (EV7)

Le 21364 (152 millions de transistors) apparu en 2003 possède une horloge à 1,2 GHz. Il est conçu pour pouvoir fonctionner dans un environnement multiprocesseur.

Il constitue une amélioration du 21264 par duplication du bloc des 4 unités de traitement des entiers ainsi que des 80 registres d'entiers (en réalité les deux blocs ne sont pas exactement identiques et certaines opérations ne peuvent être faites que sur l'un d'entre eux).

Il se voit aussi doté d'une antémémoire de second niveau de 1,75Mo avec un débit de 12,8 Go/s et d'un dispositif d'interconnexion pour l'agencement en multiprocesseur. Le gestionnaire de mémoire RAMBUS permet un débit de 6 Go/s.

Le dispositif d'interconnexion permet la réalisation de tores à 2 dimensions intégrant jusqu'à 128 processeurs. Il permet un débit d'information entre processeurs de 22,4 Go/s. La communication se fait par paquets de 1, 2, 3, 18 ou 19 éléments. Chaque élément est constitué de 32 bits de données et de 7 bits de contrôle et correction d'erreurs transmis en parallèle. Le rôle de ce dispositif d'interconnexion est de faire circuler ces informations en leur faisant prendre le chemin le plus court sur le tore en 2 dimensions.

1.3 Le 21464 (EV8 ou Arana)

Prévu pour 2004, il devait comporter 250 millions de transistors et fonctionner avec une horloge à 2,8 GHz. La grande nouveauté pour ce processeur aurait été d'utiliser le parallélisme au niveau des tâches. Il aurait été constitué de 4 processeurs afin d'exécuter 8 instructions par cycle d'horloge. Ce projet a été abandonné et l'équipe qui travaillait dessus est partie chez Intel !

2 Les processeurs UltraSparc de SUN

L'architecture SPARC (Scalable Processor ARChitecture) a été créée par Sun en 1987. C'est une architecture RISC. On trouve donc un nombre élevé de registres (128 ou 144) dont 32 sont simultanément disponibles. Ces registres sont gérés selon le principe d'une fenêtre de 24 registres venant s'ajouter à 8 registres globaux. Chaque appel de procédure correspond à un glissement automatique de 16 registres de la fenêtre conservant ainsi 16 registres communs et en créant 16 nouveaux. Ceci permet de réaliser un appel de fonction complet avec sauvegarde des registres et passage de paramètres en 1 cycle d'horloge.

La série des UltraSPARC est constituée de processeurs RISC 64 bits

2.1 L'UltraSPARCII

C'est un processeur sorti en 1998 (5,4 millions de transistors) et dont la fréquence d'horloge peut atteindre 650MHz, il est muni de 2 antémémoires (instructions et données) de 16Ko chacune et gère jusqu'à 2Mo d'antémémoire de second niveau externe. Les adresses réelles sont sur 34 bits tandis que les adresses virtuelles sont sur 44 bits. La mémoire est organisée en pages de 8, 64, 512Ko ou 4Mo.

Il peut exécuter jusqu'à 4 instructions simultanément grâce à une file d'attente d'instructions de 12 entrées et un pipe-line à 7 niveaux. Il est doté de 7 unités de traitement :

- 2 unités pour les entiers
- 2 unités pour les réels
- 1 unité pour les calculs graphiques en 2D et 3D (instructions VIS)
- 1 unité de calcul de branchement
- 1 unité de chargement/rangement des opérandes

2.2 L'UltraSPARC III (Cheetah)

Apparu en 2001, l'UltraSPARC III est constitué de 29 millions de transistors (dont 12 millions pour la RAM et 11 pour la logique) fonctionnant à une fréquence d'horloge de 600MHz à 1,6 GHz. Il intègre 2 unités de calcul en entiers dont une réservées aux multiplications et divisions, 2 pour les réels et les calculs graphiques, une pour les racines carrées, une pour les transferts avec la mémoire et une pour les calculs d'adresse.

L'exécution des instructions fait appel à un pipe-line à 14 niveaux tandis que la prédiction des branchements se fait à l'aide d'une mémoire de 16Ko.

Les antémémoires sont de 32Ko pour les instructions et 64Ko pour les données auxquelles vient s'ajouter un gestionnaire d'antémémoire de second niveau de 1Mo, 2Mo ou 8Mo avec un bus de données sur 256 bits. De plus l'UltraSPARC III inclut un gestionnaire de mémoire SDRAM pour 16 Go.

Les files d'attente d'instructions et d'opérandes sont de 2Ko chacune.

L'UltraSPARC III connaît le jeu d'instructions V9 de SUN.



2.3 L'UltraSPARC IV (Jaguar)

L'ultrasparc IV contient 66 millions de transistors et consomme 108Watts à 1,2GHz sous 1,35Volts. Il est constitué de deux pipe-lines d'exécution d'UltraSparc III dont les unités de calcul en réels ont été améliorées, d'un gestionnaire d'antémémoire externe de second niveau de 16 Mo divisée en 2 blocs de 8 Mo (un par CPU) et d'un gestionnaire de mémoire DRAM de 16 Go accessible à 2,4Go/s. L'horloge, sur les premiers modèles, est à 1,2GHz tandis qu'une version baptisée UltraSparc IVplus fonctionne à 2GHz. L'UltraSparc IV gère 2 processus par processeur (multithreading).

2.4 Ultra Sparc T1

Sorti en 2005, il contient plus de 8 processeurs et gère jusqu'à 32 processus simultanés.

3 Les processeurs d'INTEL

Les Pentium ont fait suite à la pléthorique liste des 80x86 qui ont équipé les PC depuis leur création en 1981. On peut brièvement en retracer l'histoire :

- Le 8086, le premier 16 bits et sa version 8 bits (le 8088) ainsi que son "grand frère" le 80186 ayant lui aussi sa version 8 bits (le 80188).
- Le 80286 qui ajoute au 8086 une gestion de mémoire virtuelle et de tâches
- Le 80386 le premier 32 bits de la famille possédant, lui aussi, une gestion de mémoire virtuelle et de tâches améliorée.
- Le 80486 qui ajoute au 80386 une arithmétique réelle intégrée utilisant 8 registres de 80 bits et une antémémoire intégrée.

Modèle	8086	80286	80386	80486
Année	1978	1982	1985	1989
Nbre de transistors	29 000	134 000	275 000	1,2 M à 1,6 M
Performance	0,3	1,2	5 à 10	20 à 50

Des quantités de versions sont apparues :

Processeur	Horloge	Bus de données	Données internes	Adresse réelle	Adresse virtuelle	Anté-mémoire	Arithm. réelle
8086	4 5 8 10 12	16 bits	16 bits	20 bits	Non	Non	Externe
80286	6 8 10 12 16 20 25	16	16	24	30 bits	Non	Externe
80386 SX	16 20 25 33 40	16	32	24	46	Non	Externe
80386 SL	20 25 16 33	16	32	24	46	Non	Externe
80386 SLC	16 20 25	16	32	24	46	8Ko	Externe
80386 DX	12 16 20 25 33 40	32	32	32	46	Non	Externe
80486 SLC	16 20 25 33 40	16	32	24	46	1 ou 16Ko	Externe
80486 SLC/e	20 25	16	32	24	46	1Ko	Externe
80486 SLC2 ⁽¹⁾	16/32 20/40 25/50 33/66 40/80	16	32	24	46	16Ko	Externe
80486 SL	25 33	32	32	32	46	8Ko	Interne
80486 DLC	25 33 40	32	32	32	46	1 ou 16Ko	Externe
80486 SX	16 20 25 33 40	32	32	32	46	8Ko	Externe
80486 SX2 ⁽¹⁾	25/50 33/66	32	32	32	46	8Ko	Externe
80486 DX	20 25 33 40 50	32	32	32	46	8Ko	Interne
80486 DX2 ⁽¹⁾	20/40 25/50 33/66 40/80	32	32	32	46	8Ko	Interne
80486DX4 ⁽¹⁾	25/75 33/99 40/120	32	32	32	46	8 ou 16Ko	Interne

En 1993 INTEL décide d'abandonner la dénomination 80x86 pour ses processeurs pour des raisons de droits, adopte la dénomination Pentium et produit les processeurs suivants :

- 1993 : le Pentium (P54C) qui ajoute au 80486 un traitement en parallèle de certaines instructions et utilise un bus de données de 64 bits même s'il reste un processeur 32 bits.
- 1995 : le Pentium Pro (P6) introduit l'architecture IA-32. C'est un processeur RISC doté d'un compilateur câblé pour transformer les instructions de type 80x86 en instructions RISC. Son bus d'adresses passe à 36 bits (64 Go).
- 1997 : le Pentium MMX (P55C) intégrant des instructions multimédia (MMX)
- 1997 : les Pentium II sont des versions plus 'grand public' du Pentium Pro incluant les instructions multimédia MMX ou MMX2 ainsi que les 8 registres à 64 bits associés à ces instructions.
- 1999 : le Pentium III est une version du Pentium II améliorée par l'introduction d'instructions pour la 3D et des 8 registres à 128 bits associés à ces instructions.
- 2000 : le Pentium IV ajoute 144 instructions vectorielles (audio et vidéo) et améliore le parallélisme d'exécution des instructions. De plus il offre une double unité arithmétique et logique fonctionnant à une fréquence double de celle du processeur.
- 2001 : les générations IA-64, appelées Itanium (Merced, McKinley, Madison, Deerfield ...) sont constituées de processeurs 64 bits.
- A partir de 2005 apparaissent les boîtiers contenant 2 processeurs (dual core) dont le premier né est le Pentium D.

¹ Ces processeurs divisent par 2 ou 3 leur fréquence d'horloge lors des accès à la mémoire.

- A partir de 2006 apparaissent les boîtiers contenant 4 processeurs (quad core) dont le premier né est le Quad Core Pentium Xeon..

3.1 Le Pentium II

Le Pentium II (7,5 millions de transistors) est un processeur d'architecture P6 comme le Pentium Pro mais augmentée des registres et des instructions MMX. Il a aussi été optimisé pour l'exécution d'instructions 16 bits qui étaient très lentes sur le Pentium Pro.

Les antémémoires d'instructions et de données sont de 16Ko chacune tandis que l'antémémoire de second niveau est de 256Ko ou 512Ko. Elle ne peut fonctionner qu'à la moitié de la vitesse du CPU sauf sur le Pentium II Xeon où elle fonctionne à la même vitesse et peut atteindre 1 ou 2Mo.

Le Pentium II ne se présente pas sous la forme d'un circuit intégré mais d'un module multi-CI sur un circuit imprimé doté d'un connecteur (Slot 1). Ce connecteur permet le montage aisé en biprocesseur.

INTEL propose plusieurs modèles (Deschutes, Celeron, Xeon) qui se différencient par les caractéristiques de ce connecteur (slot 1 ou slot 2), les vitesses d'horloge et les tailles des antémémoires ainsi que quelques améliorations concernant la protection thermique et la détection d'erreurs (Xeon). Les concurrents conservent le plus souvent l'ancien connecteur (socket7) mais proposent des instructions multimédia évoluées (3D Now pour AMD et Cyrix).

3.2 Le Pentium III (Katmai, Coppermine, Tanner)

Le Pentium III (8,2 millions de transistors) est un Pentium II de type Xeon doté des instructions MMX étendues (70 instructions MMX en réels). Il inclut des antémémoires d'instructions et de données de 16Ko chacune ainsi qu'une antémémoire de second niveau de 512Ko, 1Mo ou 2Mo. Il fonctionne à 400 ou 450 MHz.

Sa particularité la plus originale est de pouvoir être utilisé en mode redondant c'est à dire que l'on interconnecte 2 Pentium III l'un en mode maître, l'autre en mode esclave. Le second exécute les mêmes instructions que le premier mais, au lieu de générer des signaux sur les bus, il se contente de les comparer avec ceux générés par le Pentium III maître et de lui signaler d'éventuelles différences. Ceci permet de détecter d'éventuelles pannes ou erreurs de fonctionnement.

Remarque : une particularité du Pentium III qui a fait couler beaucoup d'encre est celle de posséder une ROM interne contenant des informations sur le processeur et une EEPROM de 1024 bits dont l'usage n'est pas défini. On a, bien entendu, soupçonné là une intention manifeste d'introduire des possibilités d'identification du processeur et de dépôt d'informations dans l'EEPROM au travers d'Internet par exemple.

3.3 Le Pentium IV (Willamette)

Aussi appelé Willamette, le Pentium IV (42 à 108 millions de transistors selon l'antémémoire intégrée) comporte les modifications suivantes :

L'antémémoire de données est de 8Ko tandis que celle d'instructions est de 12Ko et contient des instructions déjà décodées.

L'antémémoire de deuxième niveau est de 256Ko ou 512Ko selon les modèles, connecté par un bus de données de 256 bits, elle atteint le débit de 48Go/s à 1,5GHz.

Une mémoire de 4K permet de stocker l'historique des branchements afin d'en améliorer la prédiction.

Il gère jusqu'à 126 instructions en attente, 48 opérandes en cours de lecture et 24 en cours d'écriture. Deux des 3 UALs fonctionnent en parallèle et à une vitesse double de celle de l'horloge qui peut atteindre 1,5GHz, elles utilisent des registres de 128 bits pour les réels et les entiers. La troisième prend en charge les traitements plus complexes tandis qu'une autre unité se charge des réels et deux autres des opérations SSE2. L'exécution des instructions fait appel à un pipe-line dont la profondeur a été doublée (20 niveaux au lieu de 10) tandis que le débit de données sur le bus a été triplé (jusqu'à 3,2Go/s).

Le Pentium IV possède 144 instructions SSE2 (Streaming SIMD Extensions 2) spécialisées pour l'audio, la vidéo et la 3D (en particulier la décompression MPEG3) travaillant sur des opérandes entiers ou réels en 128 bits.

La version Xeon de ce processeur intègre une antémémoire de niveau 3 de 2Mo et met en place le parallélisme d'exécution de processus (multithreading) limité à 2 processus simultanés.

3.4 Les versions à double processeur

- Le Pentium D est sorti en 2005, il est doté d'une horloge de 2,667 à 3,73 GHz. Il contient deux processeurs ayant chacun une antémémoire de 1 ou 2 Mo selon les modèles. Le nombre de transistors intégré est de 230 ou 276 millions selon la taille de ces antémémoires.

- Le Pentium Extreme Edition dual Core est sorti en 2005, il est doté d'une horloge de 3,2 à 3,73 GHz. Il contient deux processeurs ayant chacun une antémémoire de 1 ou 2 Mo selon les modèles supportant le multithreading.
- Le Dual Core Xeon est sorti en 2005, il est doté d'une horloge de 2,8 à 3,73 GHz. Il contient deux processeurs de type Xeon ayant chacun une antémémoire de 1 ou 2 Mo selon les modèles
- Le Core 2 Duo est sorti en 2006, il est doté d'une horloge de 1,6 à 3,73 GHz. Il contient deux processeurs de type core 2 ayant chacun une antémémoire de 2 ou 4 Mo selon les modèles. Le nombre de transistors intégré est de 167 ou 291 millions selon la taille de ces antémémoires.

3.5 Les versions à quadruple processeur

- Le Quad Core Xeon (Clovertown) est sorti en 2006, il est doté d'une horloge de 1,6 à 2,66 GHz. Il contient quatre processeurs de type Xeon ayant chacun une antémémoire de 2 Mo.
- Le Core 2 Quad (Kensfield) est sorti en 2007, il est doté d'une horloge de 2,4 à 2,66 GHz. Il contient quatre processeurs de type Core 2 ayant chacun une antémémoire de 2 Mo.

3.6 L'Itanium1 (Merced)

L'Itanium (25 millions de transistors) est un processeur de type VLIW (Very Long Instruction Word) c'est à dire possédant des instructions très longues dont chacune contient plusieurs opérations indépendantes. L'intérêt majeur de ce type d'instructions est qu'elles sont très puissantes tout en pouvant être exécutées très rapidement dans la mesure où les différentes opérations qui les constituent peuvent être traitées en parallèle (elles ne sont constituées que d'opérations indépendantes).

Pour ce genre de processeurs il est indispensable de disposer de compilateurs capables de regrouper plusieurs instructions indépendantes en une seule instruction longue (le compilateur détecte lui même les instructions pouvant être regroupées). L'Itanium utilise des instructions sur 128 bits.

Ce principe a été adopté par Intel et HP pour l'architecture 64 bits IA-64 de l'Itanium autrefois appelé Merced. Il est compatible avec la famille 80x86 et les PA-RISC de HP grâce à une unité de décodage.

Le Merced constitue le premier élément de la gamme baptisée EPIC (Explicit Parallel Instruction Computer). Les successeurs sont le McKinley, le Madison et le Deerfield qui se caractérisent par des vitesses d'horloges atteignant puis dépassant le GHz.

L'Itanium présente un haut degré de parallélisme :

- 2 unités de lecture/écriture en mémoire
- 3 unités de calcul des branchements
- 4 unités de calcul sur les entiers
- 1 unité de manipulation de caractères
- 4 unités de calcul sur les réels (2 pour les réels sur 32 bits et 2 pour les réels sur 64 bits)
- 1 unité de décodage permettant d'assurer la compatibilité avec la famille 80x86

La puce contient deux antémémoires de premier niveau (instructions et données) de 16Ko chacune et gère une antémémoire de deuxième niveau de 96Ko et une de troisième niveau de 2 ou 4 Mo. Les transferts avec l'antémémoire de premier niveau se font au rythme de 16 octets par cycle d'horloge et ceux avec l'antémémoire de deuxième niveau au rythme de 32 octets/cycle sur des bus de 256 bits.

L'antémémoire de troisième niveau d'une taille de 2 ou 4 Mo est connectée par des bus (BSB) de 38 bits pour les adresses (plus 3 bits de parité) et 128 bits pour les données (plus 16 bits de contrôle et correction d'erreurs par ECC) permettant un débit continu de 13 Go/s.

Le bus d'adresses est de 44 bits (plus 2 bits de parité) tandis que celui de données est de 64 bits (plus 8 bits de contrôle et correction d'erreurs par ECC) ils permettent des transferts d'information avec la mémoire au débit de 2,1 Go/s. La mémoire est gérée en pages de 4Ko, 8Ko, 16Ko, 64Ko, 256Ko, 1Mo, 4 Mo, 16Mo, 64Mo ou 256Mo.

L'Itanium possède 128 registres d'entiers et 128 registres de réels. Les instructions sont traitées par un pipe-line à 10 niveaux.

3.7 L'Itanium2 (McKinley)

L'itanium 2 (221 millions de transistors dont 180 millions pour l'antémémoire de troisième niveau) améliore le degré de parallélisme de l'Itanium en ajoutant :

- 2 unités de lecture/écriture en mémoire
- 2 unités de calcul sur les entiers
- 4 unités pour les opérations MMX

Grâce à un pipe-line à 8 niveaux, il est capable d'exécuter jusqu'à 6 instructions par cycle d'horloge.

L'antémémoire de deuxième niveau passe de 96Ko à 256Ko et celle de troisième niveau de 1,5 ou 3Mo est intégrée. Le bus de données passe à 128 bits et permet un débit de 6,4Go/s.

3.8 Les Madison 6M et 9M

Le Madison (410 Millions de transistors) est un Itanium 2 doté d'une antémémoire de troisième niveau intégrée de 6 ou 9Mo qui permet un débit de 48Go/s grâce à un bus de données de 1024 bits. Le bus de données reste à 128 bits et permet un débit de 6,4Go/s comme sur le McKinley.

3.9 Hondo

Sorti en 2004, c'est une version intégrant deux processeurs Madison ayant chacun une antémémoire de 4Mo auxquelles vient s'ajouter une antémémoire de 4^{ème} niveau de 32Mo. Il fonctionne à 1,1GHz.

3.10 Le Montecito

Sorti en 2006, c'est une version intégrant deux processeurs Itanium 2 ayant chacun une antémémoire de 12Mo. Il fonctionne à 1,6GHz.

3.11 Tukwila – prévu 2008

Version intégrant quatre processeurs Itanium 2.

4 Les processeurs PA RISC de Hewlet Packard

HP a commencé à produire des microprocesseurs RISC dès 1986. L'architecture appelée PA-RISC (Precision Architecture RISC) a tout d'abord commencé par des processeurs 32 bits (PA-RISC 1) :

Le PA-7100 en 1992, 850 000 transistors, 125 MHz

Le PA-7200 en 1994, 1,31 millions de transistors, 120 MHz

Le PA-7300 en 1996, 9,2 millions de transistors, 180 MHz

Elle a ensuite évolué vers des processeurs 64 bits : (PA-RISC 2) :

Le PA-8000 en 1996

Le PA-8200 en 1997

Le PA-8500 en 1998

Le PA-8600 en 2000

Le PA-8700 en 2001

Le PA-8800 en 2004 constitué de 2 PA-8700

Le PA-8900 en 2005

Parallèlement HP produit avec INTEL l'architecture IA-64

4.1 Le PA-8000

C'est une architecture RISC 64 bits comportant 56 registres de renommage. Les adresses physiques sont sur 40 bits, la mémoire est organisée en pages de 4Ko à 16Mo. Les antémémoires d'instructions et de données sont externes.

Le PA-8000 (4,5 Millions de transistors) est un processeur superscalaire pouvant exécuter jusqu'à 4 instructions en parallèle.

Il est doté de 10 unités de traitement :

2 unités pour les opérations arithmétiques entières et logiques

2 unités pour les décalages

2 unités pour les additions et multiplications des réels (non pipe-linées)

2 unités pour les divisions et racines carrées des réels (non pipe-linées)

2 unités de chargement/rangement d'opérandes

Le pipe-line d'instructions sépare les instructions de transfert avec la mémoire des autres instructions en les plaçant dans des files d'attente séparées de 28 entrées chacune. Les instructions de branchement, certaines instructions de contrôle et celles qui lisent, modifient et réécrivent un opérande sont placées dans les 2 files à la fois. Il prélève ensuite 4 instructions dans ces 2 files pour les exécuter.

La prédiction des branchements utilise une mémoire de 256 entrées pour les historiques des branchements et une mémoire associative de 32 entrées pour conserver les adresses. L'algorithme utilisé n'est pas celui décrit en 2.6 mais consiste simplement à conserver la trace des 3 dernières exécutions de chaque branchement (fait ou non fait) et de prédire que le comportement à venir sera conforme à la majorité des 3 derniers.

Le PA-8000 possède le jeu d'instructions MAX-2.

4.2 Le PA-8200

C'est une version plus rapide du PA-8000, l'augmentation des performances est, en particulier, obtenue par celle de la taille des antémémoires externes (2Mo), de la taille des tables utilisées pour la prédiction des branchements et par l'augmentation de la vitesse d'horloge.

4.3 Le PA-8500

Le PA-8500 est constitué de 140 millions de transistors. Les principales améliorations portent sur la fréquence d'horloge, la prédiction des branchements et les antémémoires qui sont, pour la première fois, sont incluses dans la puce. Elles sont de 0,5 Mo en 128 bits pour les instructions et 1 Mo pour les données et comportent des bits de contrôle et correction des erreurs.

La prédiction des branchements utilise une combinaison de méthode statique (définie à la compilation) et dynamique (définie à l'exécution). Le compilateur dote chaque instruction de branchement d'une probabilité d'avoir lieu. Chaque exécution du branchement ajuste une valeur de confiance vis à vis de cette probabilité en augmentant ou diminuant une valeur de 0 à 3 selon que la prédiction du compilateur a été juste ou pas. La prédiction faite par le PA-8500 sera de suivre celle du compilateur selon cette valeur de confiance.

4.4 Le PA-8600

Les principales différences avec le 8500 portent sur la gestion des antémémoires (vitesse des transferts avec la mémoire et correction en temps réel des erreurs) et sur la vitesse d'horloge (552 MHz). Les antémémoires de données et d'instructions occupent 1,5Mo.

4.5 Le PA-8700

Le PA-8700 (186 millions de transistors) fonctionne à 800MHz et peut effectuer jusqu'à 3,2 milliards d'opérations par seconde. Il est doté d'antémémoires internes de premier niveau de 1,5 Mo pour les données et de 750 Ko pour les instructions connectées par un bus de 128 bits.

Les adresses physiques sont sur 44 bits (16 Tera octets) au lieu de 40 sur les modèles précédents.

Le PA-8700 exécute jusqu'à 4 instructions par cycle d'horloge grâce à ses 4 unités de calcul en entiers (2 unités arithmétiques et logiques et 2 unités de décalage), 4 unités de calcul en réels (2 de multiplication et addition et 2 de division et racine carrée) et 2 unités de lecture/écriture.

La prédiction des branchements utilise une mémoire d'historique de 2Ko.

4.6 Le PA-8800

Il est composé de deux PA-8700 possédant chacun 750Ko d'antémémoire de données et 750Ko d'antémémoire d'instructions et gère une antémémoire externe de niveau 2 de 32Mo. Son bus est compatible avec celui de l'Itanium. Il intègre 300 millions de transistors et fonctionne à 1GHz.

4.7 Le PA-8900

C'est une version du PA-8800 dont l'antémémoire de niveau 2 est de 64Mo.

5 Les processeurs Power d'IBM

La famille Power a été initialement développée pour les stations de travail sous UNIX et les super ordinateurs. Le Power 1 était constitué de plusieurs composants contrairement au Power 2, les deux étaient des processeurs 32 bits. A partir du Power 3 on a affaire à des processeurs 64 bits.

5.1 Le POWER 3

Sorti en 1998, le POWER3 (15 millions de transistors) est le premier processeur de type Power PC (voir Motorola). Il pilote deux bus de données : l'un à 128 bits permet les échanges avec la mémoire tandis que l'autre, à 256 bits, permet les échanges avec l'antémémoire de deuxième niveau. Les antémémoires de premier niveau de 64Ko pour les données et 32Ko pour les instructions sont intégrées à la puce. Le Power 3 est constitué de 8 unités :

L'unité de branchement/distribution distribue les instructions aux autres unités (jusqu'à 8 instructions par cycle d'horloge)

Les deux unités de calcul en réels permettent d'atteindre les 1,3 GFlops

Trois unités se chargent des calculs en entiers (2 pour les opérations arithmétiques et logiques et une pour les multiplications et divisions)

Deux unités se chargent des lectures et écritures en mémoire
Le Power 3 possède 32 registres d'entiers et 32 registres de réels.
Le Power 3-II est une version du power 3 dont l'horloge peut atteindre 450MHz.

5.2 Le POWER 4

Sorti en 2001, le Power 4 (170 millions de transistors) est constitué de deux Power 3 allégés (2 unités de calcul en entiers au lieu de 3) reliés à une mémoire commune de 1,5 Mo organisée en trois blocs de 0,5Mo (il s'agit en fait de l'antémémoire de niveau 2) atteignant un débit de 124,8 Go/s. L'antémémoire de niveau 3 est externe (32 Mo) et fournit un débit d'information de 10,4 Go/s.

Le POWER 4 possède en outre un contrôleur de communication permettant de le relier à trois autres POWER 4 à 5,2 Go/s.

5.3 Le POWER 5

Sorti en 2004, le Power 5 contient, lui aussi, deux processeurs mais, contrairement au Power 4, chaque processeur est lui-même multi-processus (multithreading). Il est constitué de 276 millions de transistors et inclut un gestionnaire de mémoire (extérieur sur le Power 4). L'antémémoire de niveau 2 passe à 1,92 Mo et celle de niveau 3 (externe) à 36Mo. L'horloge du Power 5 est de 1,9 GHz. Une version appelée Power 5 plus, propose un jeu d'instructions plus étendu.

5.4 Le POWER 6 – prévu 2007

Il bénéficie d'une gravure à 65nm permettant des fréquences d'horloge de 5GHz et contient deux processeurs.

5.5 Le POWER 7 – prévu 2010

PERFORMANCES

La mesure et la comparaison des performances d'un microprocesseur sont relativement difficiles en raison du traitement en parallèle des instructions et des prédictions.

Sur les premiers microprocesseurs, on mesurait la vitesse d'exécution des instructions en MIPS (Million d'Instructions Par Seconde). En 1992 a été adopté un mode de mesure appelé SPEC92 qui est constituée de 2 nombres (SPEC92int et SPEC92fp) : le premier concerne les performance de traitement des entiers et le second celles de traitement des réels.

Puis, avec la généralisation des microprocesseurs superscalaires, cette mesure a été mise à jour sous les noms SPECint95 et SPECfp95 ce qui rend très difficile la comparaison avec les microprocesseurs plus anciens.

Le tableau suivant présente les performances de quelques microprocesseurs :

Marque	Microprocesseur	Fréquence d'horloge (MHz)	SPECint95	SPECfp95
DEC	21064	300	5.2	6.5
	21164	767	23.3	25.1
	21264	833	50	100
SGI	MIPS R10000	250	14.7	24.5
	MIPS R12000	400	24.2	43.5
SUN	UltraSPARC I	200	7.7	11.4
	UltraSPARC II	450	19.7	44.8
	UltraSPARC III	600	35	60
MOTOROLA	603	300	7.4	6.1
	604e	375	15.1	10.1
	620	200	8	10
	G3 (MPC 740)	500	19.9	10.2
	G3 (MPC 750)	900	40.4	21.9
	G4 (MPC 7450)	733	32.1	23.9
	G5	900	40	22
INTEL	Pentium	200	5.2	4.3
	Pentium MMX	233	7.1	5.2
	Pentium PRO	200	8.67	7.16
	Pentium II xeon	450	19.7	15.2
	Pentium III	1000	46.8	32.2
IBM	Power 2	71.5	3.47	10.1
	Power 3-II	375	24.4	51.3
HP	PA-8000	180	12.3	20.5
	PA-8200	236	17.4	36.3
	PA-8500	440	34	54
	PA-8600	552	42.6	64

Actuellement les mesures de performance font appel à de nouveaux benchmarks appelés SPECint2000 et SPECfp2000 qui, encore une fois, empêchent toute comparaison avec des processeurs plus anciens. Pour ces nouvelles mesures on peut donner le tableau suivant (trié par ordre de performance sur les calculs en réels) :

Marque	Microprocesseur	Fréquence d'horloge (MHz)	SPECint2000	SPECfp2000
IBM	POWER 5	2200	1730	3418
INTEL	Dual Core Xeon	3000	2956	2893
INTEL	Quad Core Xeon	2666	2705	2760
INTEL	Itanium 2	1600	1590	2712
INTEL	Core 2 Quad	2666	2837	2679
AMD	Opteron dual core	2800	1994	2376
INTEL	Core 2	2330	2455	2313
AMD	Athlon FX-62	2800	2061	2134
INTEL	Pentium IV	3800	1834	2091
INTEL	Xeon	3800	1807	1946
AMD	Athlon XP	2600	1735	1878
INTEL	Pentium D	3200	1609	1855
SUN	SPARC 64V	1890	1345	1803
AMD	Opteron	2400	1663	1787
IBM	POWER 4 +	1700	1158	1776
DEC	Alpha 21364	1300	994	1684
INTEL	P4 Extreme Edition	3200	1601	1516
DEC	Alpha 21264C	1250	928	1365
SUN	Ultra SPARC IIIi	1600	845	1349
IBM	G5 (PowerPC970)	2200	1040	1241
MOTOROLA	MPC 8500	1200	987	1005
INTEL	Itanium	800	365	715
HP	PA 8700+	875	678	651
SGI	MIPS R14000	600	500	529
HP	PA-8600	552	441	480
INTEL	Pentium III	1400	664	456
IBM	POWER 3-II	450	346	434
IBM	RS64 IV	750	458	410
SGI	MIPS R12000	400	353	407
HP	PA 8500	550	379	369
SUN	Ultra SPARC IIi	650	246	276
MOTOROLA	Power PC 604e	250	105	91

ANNEXES

1 Jeu d'instructions d'un processeur RISC

Nous prendrons comme exemple le jeu d'instructions associé à l'architecture PA-RISC 2. On y trouve :

- 55 instructions d'usage courant (calculs, branchements et transferts)
- 15 instructions multimédia
- 39 instructions spéciales (système, contrôle de gestion de mémoire et de co-processeur)

Soit un total de 109.

1.1 Instructions de calcul

- 12 opérations arithmétiques et logiques entre registres (3 opérandes registres)
- 3 opérations arithmétiques avec valeur immédiate (un registre et une valeur sur 11 bits signée)
- 8 opérations de décalage entre registres (2 registres)

1.2 Instructions de transfert avec la mémoire

L'accès aux opérandes en mémoire peut se faire avec base et déplacement ou avec base et index.

- 7 instructions de transfert de registre à mémoire
- 7 instructions de transfert de mémoire à registre
- 2 instructions de transfert avec verrouillage (sémaphore)

1.3 Instructions de calcul d'adresse

3 instructions permettent de calculer une adresse en tenant compte de l'utilisation d'une base, d'un index et d'un déplacement

1.4 Instructions de branchement

5 instructions de branchement sans condition
7 instructions de branchement avec condition, ces instructions incluent l'évaluation de la condition qui peut se faire par transfert, addition, comparaison ou test de bit.

1.5 Instructions multimédia

Ces instructions portent sur des registres de 64 bits considérés comme 4 opérandes sur 16 bits

- 8 opérations arithmétiques
- 4 opérations de décalage
- 3 opérations de réarrangement de données

1.6 Instructions de contrôle système

- 7 instructions accédant à des registres spéciaux
- 3 instructions de modification du registre d'état
- 2 instructions de d'appel et de retour d'interruption
- 17 instructions de contrôle de la gestion de la mémoire
- 1 instruction de diagnostic

1.7 Instructions pour co-processeurs

- 9 instructions de transfert entre registres et co-processeur

2 Jeu d'instructions d'un processeur CISC

Nous prendrons comme exemple le jeu d'instructions du Pentium II. On y trouve :

- 153 instructions d'usage courant (calculs, branchements et transferts)
- 47 instructions pour chaînes de caractères
- 92 instructions pour réels
- 47 instructions multimédia
- 51 instructions spéciales (système, contrôle de gestion de mémoire ...)

Soit un total de 390.

Pour le Pentium III il faut compter 70 instructions pour calculs en 3D supplémentaires et pour le Pentium IV il faut encore ajouter 144 instructions (SSE2). Ce qui nous amène à 460 pour le PIII et 604 pour le PIV.

L'accès aux opérandes en mémoire peut se faire directement, avec base et déplacement ou avec base et index avec facteur d'échelle et déplacement.

2.1 Instructions de transfert

- 1 instruction de transfert simple
- 30 instructions de transfert conditionnel
- 5 instructions d'échange
- 6 instructions d'empilement/dépilement
- 4 instructions de transfert avec conversion
- 2 instructions d'entrée/sortie (transfert avec un périphérique)

2.2 Instructions de calcul

- 12 instructions d'arithmétique binaire
- 6 instructions d'arithmétique décimale
- 14 opérations logiques et de décalage
- 6 instructions avec opérande sur un seul bit
- 17 instructions avec opérande sur un seul octet
- 1 instruction de calcul d'adresse

2.3 Instructions de branchement et d'appel et retour de procédure

- 1 branchement inconditionnel
- 40 branchements conditionnels
- 8 instructions d'appel et de retour de procédure et d'interruption

2.4 Instructions multimédia

- 2 instructions de transfert
- 9 instructions de conversion
- 17 instructions arithmétiques
- 6 instructions de comparaison
- 12 instructions logiques et de décalage
- 1 instruction de contrôle

2.5 Instructions sur les chaînes de caractères

- 18 instructions de transfert
- 12 instructions de comparaison
- 5 instructions de répétition (certaines servant de préfixe à d'autres instructions)
- 12 instructions d'entrée/sortie (transfert avec un périphérique)

2.6 Instructions sur les réels

- 24 instructions de transfert
- 26 instructions arithmétiques
- 14 instructions de comparaison
- 8 instructions mathématiques
- 20 instructions de contrôle

2.7 Instructions de contrôle système

- 13 instructions concernant le registre d'état
- 5 instructions concernant les registres système
- 33 instructions de contrôle (gestion de mémoire, mise au point, verrouillage ...)

3 Classement chronologique des processeurs évoqués dans le document

année	INTEL	SUN	DEC	IBM	HP	autres
1971	4004					
1972	8008					
1973						
1974	8080, 4040					
1975						Mostek 6501
1976	8085					Mostek 6502, Z80 , SC/MP, TMS9900
1977						
1978	8086					
1979	8088					Z8000 , AMD9511
1980						
1981						
1982	80286					
1983						
1984						
1985	80386DX					
1986		Sparc				Z80000
1987						AMD29000
1988	80386SX					
1989	80486DX, i80860				PA7000	
1990				Power1		
1991	80486SX					NS32732
1992	80486DX2	SuperSparc	α21064		PA7100	
1993	Pentium	Thunder1		Power2		
1994	80486DX4				PA7200	
1995	PentiumPro	UltraSparc1	α21164			AMD K5
1996					PA7300 PA8000	
1997	Pentium MMX, Pentium2	UltraSparc2		Power3	PA8200	AMD K6
1998	Celeron, Pentium2 Xeon		α21264		PA8500	
1999	Pentium3					AMD Athlon
2000	Pentium4				PA8600	
2001	Itanium	UltraSparc3		Power4	PA8700	
2002	Itanium2					
2003	Pentium M, Pentium4EE		α21364		PA8800	
2004	Itanium2 6M	UltraSparc4				
2005	PentiumD, Dual Core Xeon, Core2	UltraSparcT1		Power5	PA8900	
2006	Quad Core Xeon					
2007	Core 2 Quad			Power6		